

Patent Abstracts of Japan

PUBLICATION NUMBER : 57102067  
PUBLICATION DATE : 24-06-82

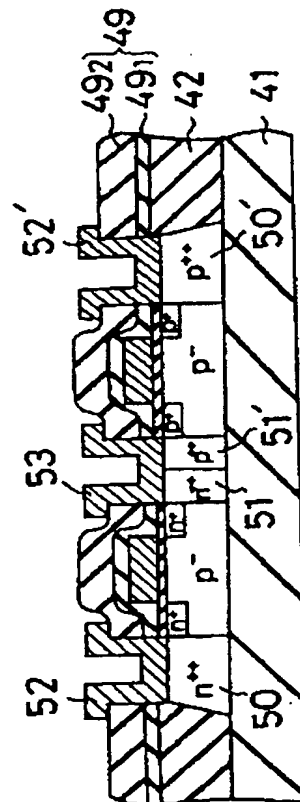
APPLICATION DATE : 17-12-80  
APPLICATION NUMBER : 55178417

APPLICANT : TOSHIBA CORP;

INVENTOR : KIMURA MINORU;

INT.CL. : H01L 27/08 H01L 29/78

TITLE : MANUFACTURE OF  
COMPLEMENTARY TYPE METAL  
OXIDE SEMICONDUCTOR



ABSTRACT : PURPOSE: To prevent the decrease of effective channel length by forming a source region and a drain region so that they are shallow near a channel region and are deep at a section parting from the channel region.

CONSTITUTION: The source and drain regions in an N-MOSFET and a P-MOSFET are shaped shallowly near the channel regions. On the other hand, contact regions 50, 51, 50', 51' having deep diffusion depth, which reach a sapphire substrate 41, are formed under source electrodes 52, 52' and a drain electrode 53. Accordingly, the decrease of the effective channel length is prevented while wiring resistance is minimized and the operating property at high speed of an element is maintained, and leakage currents through a P-type substrate region are prevented.

COPYRIGHT: (C)1982,JPO&Japio

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭57-102067

⑮ Int. Cl.<sup>3</sup>  
H 01 L 27/08  
29/78

識別記号

庁内整理番号  
6426-5F  
7377-5F

⑰ 公開 昭和57年(1982)6月24日

発明の数 1  
審査請求 未請求

(全 10 頁)

⑱ 相補型 MOS 半導体装置の製造方法

京芝浦電気株式会社総合研究所  
内

⑲ 特 願 昭55-178417

⑲ 出 願 人 東京芝浦電気株式会社

⑳ 出 願 昭55(1980)12月17日

川崎市幸区堀川町72番地

㉑ 発 明 者 木村実

㉑ 代 理 人 弁理士 鈴江武彦 外 2 名

川崎市幸区小向東芝町1番地東

## 明 施 例

## 1. 発明の名称

相補型 MOS 半導体装置の製造方法

## 2. 特許請求の範囲

(1) Pチャネルトランジスタ用およびnチャネルトランジスタ用の活性領域を備えた半導体基体上に素子形成を施す工程と、前活性領域のチャネル領域予定部上にゲート絶縁膜を介してゲート電極を形成する工程と、一方の活性領域を覆うレジストパターンを形成した後、前レジストパターンおよび他方の活性領域上のゲート電極をマスクとして不純物ドーピングを交互に行なうことにより、nチャネルトランジスタおよびpチャネルトランジスタの低いソースおよびドレイン領域を形成する工程と、全面に層間絶縁膜を形成する工程と、nチャネルトランジスタにおけるソース領域およびドレイン領域のチャネル領域とは反対側の部分上の層間絶縁膜に選択的にコンタクトホールを開孔した後、この

層間絶縁膜をマスクとしてn型不純物の高濃度ドーピングを行なつて、コンタクトホール下に拡散深度の深いコンタクト領域を形成する工程と、pチャネルトランジスタにおけるソース領域およびドレイン領域のチャネル領域とは反対側の部分上に選択エッチングによりコンタクトホールを開孔した後、少なくともnチャネルトランジスタ部分上に選択エッチングに使用したレジストパターンを剥離した状態でp型不純物の高濃度ドーピングを行なつてコンタクトホール下に拡散深度の深いコンタクト領域を形成する工程と、前材料層を全面に露出した後、これをパターンニングすることにより、コンタクトホールを介してnチャネルトランジスタおよびpチャネルトランジスタにおける前記コンタクト領域とオーミック接続したソース領域およびドレイン電極を形成する工程とを具備したことを特徴とする相補型 MOS 半導体装置の製造方法。

## 特開昭57-102067(2)

(2) pチャネルトランジスタ用およびnチャネルトランジスタ用の活性領域を備えた半導体基体として、絶縁膜上に半導体層を形成した基体であることを特徴とする特許請求の範囲第(1)項記載の相補型MOS半導体装置の製造方法。

(3) nチャネルトランジスタ用およびpチャネルトランジスタのドレイン領域における拡散深度の深いコンタクト領域が一部重なり合っていることを特徴とする特許請求の範囲第(2)項記載の相補型MOS半導体装置の製造方法。

(4) 拡散深度の深いコンタクト領域を形成するための不純物ドーピング剤としてイオン注入法を用いたことを特徴とする特許請求の範囲第(1)項乃至第(3)項の何れか1項記載の相補型MOS半導体装置の製造方法。

## 3. 発明の詳細な説明

本発明は相補型MOS半導体装置の製造方法に関する。

3

はゲート酸化膜 $g$ を介してゲート電極 $g$ が形成されている。これをp型の活性領域とn型の活性領域との境界には、通常、図示しない素子分離用のフィールド酸化膜が形成されている。

ところで、上記構造からなるC-MOSの動作速度を高速化する観点からは既述抵抗をできるだけ小さくする必要があり、そのためにはソース領域 $3$ 、 $3'$ およびドレイン領域 $4$ 、 $4'$ の不純物濃度を高く、また拡散深度を深くしなければならない。ところが、不純物の拡散は一般に等方的であるから拡散深度を大きくすれば横方向の拡散長も大きくなり、ソースおよびドレイン領域がゲート電極下に侵入して形成される結果、実効チャネル長が設計値よりも短くなってしまう。この実効チャネル長の減少は素子が微細化されるほどその比率が高くなり、チャネルのショート化など素子の信頼性を低くする原因となる。そこで素子の微細化が高進になるに従い、実効チャ

5

pチャネルMOSトランジスタ（以下P-MOSFETという）およびnチャネルMOSトランジスタ（以下N-MOSFETという）からなる相補型MOS半導体装置（以下C-MOSという）は消費電力が小さく、またノイズマージンが大きい等の利点を有することからICメモリー等の集積回路として広く用いられている。

図1図は上記C-MOSの1例を示す断面図である。同図において、 $1$ はn型シリコン基板である。該シリコン基板 $1$ にはp型ウェル領域 $2$ が形成されている。このp型ウェル領域の表面はN-MOSFET用の活性領域であり、 $n^+$ 型のソース領域 $3$ およびドレイン領域 $4$ が形成され、そのチャネル領域上にはSiO<sub>2</sub>からなるゲート酸化膜 $5$ を介して多結晶シリコンからなるゲート電極 $6$ が形成されている。一方、シリコン基板 $1$ のn型表面層はP-MOS用の活性領域であり、 $p^+$ 型のソース領域 $3'$ およびドレイン領域 $4'$ が形成され、そのチャネル領域上

4

チャネル長の減少を防止するため、第2図に示すように拡散深度の深いソース領域 $7$ 、 $7'$ およびドレイン領域 $8$ 、 $8'$ が形成されるようにした。しかし、この場合には当然ながら素子の動作速度を犠牲にせざるを得ず、且、サファイア基板上のシリコン膜に素子を形成したSOS構造（Silicon on Sapphire）のC-MOS（以下SOS/C-MOSという）ではそれ以外に次のような問題が生じる。

SOS/C-MOSでは例えば第3図に示すようにサファイア基板 $1$ 上に図1図をフィールド酸化膜 $12$ で絶縁された島状の素子領域にN-MOSFETおよびP-MOSFETが形成されている。同図において、 $13$ 、 $14$ はソース領域、 $15$ はドレイン領域、 $16$ はゲート酸化膜、 $17$ はゲート電極である。図示のように、SOS/C-MOSではN-MOSFETとP-MOSFETとは両者のドレイン領域 $14$ 、 $15$ 間のPN接合によって互いに分離された構造になっている。従つ

6

## 特開昭57-102067 (3)

て、第4図に示すようにサブアリア基板11に  
造しないソース領域17、17'およびドレイン  
領域18、18'を形成すると、P-MOSFETのp<sup>+</sup>型  
ドレイン領域18'とP<sup>-</sup>型の基板領域19との間  
は同導電型となるため、両者の間では電気的  
な分離が達成されない。このようなSOS/C-MOS  
において、N-MOSFETのソース領域17をアース  
電位に接続してP-MOSFETのソース領域18に電  
位を加える一方、グート電極16、16'に入力電  
圧を加えてドレイン領域18、18'の共通電極  
から出力を取り出すことによりインバータ動作  
を行なう場合、P-MOSFETがON状態でN-MOSFET  
がOFF状態であるにもかかわらず、N-MOSFETに  
次のようなリーク電流が流れる。即ち、P-MOSFET  
のソース領域17およびドレイン領域18'から同導  
電型のp<sup>+</sup>型基板領域19を経由した電流は基板  
領域19と触れ合っているN-MOSFETのソース  
領域17に流れてしまう。この

7

電極24、24'を形成する。引き続き、P-MOSFET  
の予定領域上に選択的にレジストパターン25、  
を形成した後、該レジストパターン25、および  
グート電極24をマスクとして成膜のイオン注  
入を行ないN-MOSFETにおけるn<sup>+</sup>型の浅いソ  
ース領域26およびドレイン領域27を形成する  
(第5図(a)図示)。

- このとき、ソースおよびドレイン領域26、  
27のグート電極下への侵入による実効チャ  
ネル長の減少は防止されるが、両領域26、  
27はサブアリア基板11には到達しない。
- (ii) 次に、レジストパターン25、を除去した  
後、新たにN-MOSFET上を覆うレジストパ  
ターン25、を形成する。続いて該レジストパ  
ターン25、およびグート電極24をマスクとし  
てボロンをイオン注入し、P-MOSFETにお  
けるp<sup>+</sup>型の浅いソース領域26'およびドレ  
イン領域27'を形成する(同図(b)図示)。

9

リーク電流によりインバータ性能は著しく劣  
化する。

以上述べたように、C-MOSは相容れない二  
種類の問題がある。第1は実効チャネル長減  
少の問題であり、第2は動作速度に影響する  
配線抵抗の問題である。およびSOS/C-MOS  
におけるリーク電流の問題である。そこで、本  
願出願人はこの両者を同時に解決する為、チ  
ヤネル領域近傍では浅く、電極とのコンタ  
クト部分では深い階層状のソース領域および  
ドレイン領域を形成したC-MOSを提案した。こ  
のような構造からなるSOS/C-MOSの製造  
方法を第5図(a)~(c)を参照して説明する。

- (i) まず、サブアリア基板11上に同導電型を  
フィードバック層23で配線されたp<sup>+</sup>型シリ  
コン層からなる島状の基予領域を形成し、該  
基予領域の表面を酸化してグート酸化膜とな  
るSiO<sub>2</sub>膜23'を形成した後、N-MOSFET  
およびP-MOSFETのチャネル領域  
予定即ち上記多結晶シリコンからなるグート

8

- (ii) 次に、フォトリソレジスト膜25、を除去した  
後、P-MOSFET領域およびN-MOSFETのグ  
ート電極24近傍を覆うレジストパターン25、  
を形成する。続いて、該レジストパターン25、  
をマスクとして成膜の高濃度イオン注入を行  
ない、N-MOSFETにおけるソース領域26  
およびドレイン領域27のチャネル領域とは反  
対側の部分にサブアリア基板11に達する高濃  
度イオン注入を行ない、N-MOSFETにお  
けるソース領域26'およびドレイン領域27'  
を形成する(同図(c)図示)。

- (iii) 次に、レジストパターン25、を除去した  
後、今度はN-MOSFET領域およびP-MOSFET  
のグート電極24近傍を覆うレジストパター  
ン25、を形成する。続いて、該レジストパ  
ターン25、をマスクとしてボロンの高濃度  
イオン注入を行ない、P-MOSFETにお  
けるソース領域26'およびドレイン領域27'  
のチャネル領域とは反対側の部分にサブア  
リア基板11に達する高濃度

特開57-102067(4)

の深いP<sup>+</sup>型コンタクト領域28', 29'を形成する(同図(d)図示)。

- (iv) 次に、レジストパターン25、を除去し、全面にSiO<sub>2</sub>からなる層間絶縁膜30を堆積した後、フォトリソエッチングによりN-MOSFETおよびP-MOSFETのコンタクト領域28, 28', 29, 29'上にコンタクトホールを開孔する。その際、コンタクト領域29, 29'上には共通のコンタクトホールを開孔する。従って、アルミニウムの蒸着およびパターンニングを行ない、N-MOSFETのソース電極31およびP-MOSFETのソース電極31'、並びに両者共通のドレイン電極32を形成する(同図(e)図示)。

上述の製造方法により製造されたSOS/C-MOSでは、N-MOSFETおよびP-MOSFETともにチャネル領域近傍では拡散深度の浅いソース電極31, 31', 32の29'が形成されているため、実効チャネル長の減少は有効に防止されている。他方、各ソ-

スおよびドレイン領域のチャネル領域とは反対側の部分には拡散深度の深い高濃度のコンタクト領域が形成されているから配線抵抗は小さく、従って動作速度の高速化を達成することかできる。更に、各コンタクト領域28, 28', 29, 29'はサブファイア基板21に到達して形成され、N-MOSFETとP-MOSFETとは両者のドレイン領域におけるコンタクト領域29, 29'間で高濃度のPN接合によつて完全に分離されており、従つて前述のようなりーク電流も発生しない。

さて、こうしてC-MOSにおいて二極相反する問題とされていた二種類の問題は解決されることとなつたが、他方、その製造法の上で新たな問題を生じている。第1の問題は製造工程が複雑化することである。周知のように、C-MOSの製造には他のMOS半導体装置の製造よりも複雑な工程が必要とされるが、これはN-MOSFETおよびP-MOSFETのソース、ドレインを形成するために別々の不純物

11

ドーピング工程を必要とし、そのために不純物ドーピングに対するレジストマスクを形成するための光蝕刻工程(Photo Engraving Process; 以下PEPという)の回数が増加するからである。PEPの回数が増大すればそれに伴つてマスク合わせ誤差の生じる確率も増大し、素子特性の劣化を招くことにもなる。この観点から上述のSOS/C-MOSの製造方法を検討してみると、通常のC-MOS製造の場合に比較して、拡散深度の深い高不純物濃度のコンタクト領域28, 29, 28', 29'を形成するための工程、即ち工程例および工程例だけ余分の工程が必要とされ、しかも、工程例および工程例の両者において、実々レジストパターン25, 25', 25'', 25'''を形成するためのPEPが必要とされる。このことから、上述のSOS/C-MOSの製造方法が如何に複雑な製造工程を必要とするかが理解されよう。因みに、上述の製造方法において、グート電極24, 24'を形成した後、第5図(e)の状態でSOS/C-MOSを形成するた

13

12

めに必要とされるPEPの回数は、不純物ドーピングに対するマスクであるレジストパターン25, 25', 25'', 25'''を形成するための4回のPEPと、コンタクトホールの形成のための選択エッチングおよびA1電極31, 31', 32のパターンニングのための選択エッチングにそれぞれ付随する2回のPEPとを合せて計6回のPEPが必要である。

第2の問題は、コンタクト領域28, 29を形成するために高濃度の高濃度イオン注入を行なう際、マスクとして使用したレジストパターン25, 25'が変性して通常のSiH<sub>4</sub>溶液(濃度: 過酸化水素=3:1)では除去されなくなり、レジストパターン25, 25'を除去するために特殊な方法を必要とすることである。この問題はボロンの高濃度イオン注入によりコンタクト領域28', 29'を形成する際のレジストパターン25, 25'にも生じ得るが、この場合はボロンの加速電圧を調節することによりこの問題を回避することが可能である。

14

第3の問題は高濃度イオン注入時における基  
板の温度上昇により、マスクであるレジストパ  
ターン25、または25、が形崩れを起こし、  
その結果、不純物ドーピングの精度が悪くなつ  
て装置の信頼性が低下する恐れも生じること  
である。

本発明は以上述べた事情に鑑みてなされたものであり、N-MOSFETおよびP-MOSFETのソース領域およびドレイン領域をチャンネル領域近傍ではなく、またチャンネル領域から離隔した部分で深く形成したC-MOSを製造するに際し、従来の製造方法よりもPEPの回数が1回少なく済み、高濃度イオン注入によるレジストパターンの変性を回避し得、或るレジストパターンの彫削れによる装置の信頼性低下をも抑制し得る相補型MOS半導体集積の製造方法を提供するものである。

即ち、本発明は、Pチャンネルトランジスタ用およびNチャンネルトランジスタ用の活性領域を備えた半導体基体に分子分離を施す工程と

上記選択エッチングに使用したレジストパターンを強固した状態でのP型不純物の高濃度ドーピングを行なつてコンタクトホール下に拡散領域の深いコンタクト領域を形成する工程と、電極材料層を全面に蒸着した後、これをパターンニングすることにより、コンタクトホールを介してnチャネルトランジスタおよびpチャネルトランジスタにおける前記コンタクト領域とオーミック接続したソース電極およびドレイン電極を形成する工程とを具備したことを特徴とする相補型MOS半導体装置の製造方法である。

本発明におけるpチャネルトランジスタ用およびnチャネルトランジスタ用の活性領域を備えた半導体基板としては、Si、Ge、GaAs等の半導体物質からなる一導電型の半導体基板に逆導電型のウエル領域を形成した基板を用いることができる。この半導体基板に分子層を施す方法としては、基板表面における各活性領域の境界部分を選択酸化してフィールド酸化膜を形成する方法を用いることができる。また前

特開昭57-102067(5)

両活性領域のチャンネル領域予定部にゲート肥縁膜を介してゲート電極を形成する工程と、一方の活性領域を覆うレジストパターンを形成した後、該レジストパターンおよび他方の活性領域上のゲート電極をマスクとして不純物ドーピングを交互に行なうことにより、nチャンネルトランジスタおよびpチャンネルトランジスタの接合ソースおよびドレイン領域を形成する工程と、無偏化層間絶縁膜を形成する工程と、nチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上の層間絶縁膜に選択的にコンタクトホールを開孔した後、この層間絶縁膜をマスクとしてn型不純物の高濃度ドーピングを行なうてコンタクトホール下に拡散障壁の深いコンタクト領域を形成する工程と、pチャンネルトランジスタにおけるソース領域およびドレイン領域のチャンネル領域とは反対側の部分上に選択的にエッチングによりコンタクトホールを開孔した後、少なくともnチャンネルトランジスタ部分

記半導体結晶としてサファイア、スピネル、ガーネット等の酸塩基複合上に前記半導体物質からなる半導体層を形成した基体をを用いることもできる。この場合には酸塩基複合上の半導体層のうち電子領域以外の部分を過酸化化により、フィールド酸化膜に転化するか、或いは選択エッチングにより除去して周囲が絶縁された島状の電子領域を分離する。この素子分離法によつて分離された島状の電子領域は不揮動膜厚の低い一導電型であつてもよく、またP型およびN型の両領域からなつていてもよい。何れの場合にもこの素子領域にはN-MOSFETおよびP-MOSFETの両者が形成される。

本発明における層間絶縁膜としては、半導体の酸化膜または強化膜と PSG (磷酸加 SiO<sub>2</sub>: ガラス膜) または BPSG (ボロン、燐酸加 SiO<sub>2</sub>: ガラス膜) との積層体を用いることが望ましい。これは PSG、BPSG が低値で低歪可能であり、素子領域に影響を与えることなく不純物ドーピングのマスクとして充分な膜厚を

得ることができるからである。しかし、これ以外にも不純物ドーピングに対するマスクとして使用し得るものであれば他の種類の層間絶縁膜を使用してもよい。

以下第6図(A)~(I)を参照して、本発明をSO<sub>2</sub>/C-MOSの製造に適用した1実施例を説明する。

(I) まず、サフアリア基板41上にp<sup>+</sup>型のエピタキシャルシリコン層を成長させ、該エピタキシャルシリコン層に選択酸化を施すことにより周囲をフィールド酸化膜42で被覆された島状のp<sup>+</sup>型素子領域43を形成する(第6図(A)図示)。

(II) 次に、素子領域43の表面を熱酸化してゲート酸化膜となるSiO<sub>2</sub>膜44を形成する。続いてCVD法により全面に多結晶シリコン層を堆積した後、これを選択エッチングすることによりN-MOSFETおよびP-MOSFETのチャネル領域予定部上にゲート領域45、46を形成する(同図(B)図示)。

19

(III) 次に、選択エッチングによりN-MOSFETにおけるソース領域47およびドレイン領域48のチャネル領域とは反対側の部分上にコンタクトホールを開孔する。続いて、選択エッチングに用いたレジストパターンを除去した後、層間絶縁膜49をマスクとして銅を加速電圧150 KeV、ドーズ量 $5 \times 10^{11}$ /cm<sup>2</sup>の条件でイオン注入し、コンタクトホール下に拡散深度の深い高濃度のp<sup>+</sup>型コンタクト領域50、51を形成する(同図(C)図示)。

このとき、n<sup>+</sup>型のコンタクト領域50、51はコンタクトホールに対して自己整合で、かつサフアリア基板41に到達して形成される。

(IV) 次に、レジストパターン46を用いた選択エッチングによりP-MOSFETにおけるソース領域47およびドレイン領域48のチャネル領域とは反対側の部分上にコンタクトホールを開孔する(同図(D)図示)。

続いて、P-MOSFET上のレジストパ

特開昭57-102067 (E)

(V) 次に、P-MOSFET領域上にレジストパターン46'を形成した後、該レジストパターン46'およびゲート電極45をマスクとして硼素を加速電圧60 KeV、ドーズ量 $1 \times 10^{11}$ /cm<sup>2</sup>の条件下でイオン注入してN-MOSFETにおけるn<sup>+</sup>型の浅いソース領域47およびドレイン領域48を形成する(同図(E)図示)。

(VI) 次に、N-MOSFET領域上を覆うレジストパターン46'を形成した後、該レジストパターン46'およびゲート電極45をマスクとして硼素を加速電圧30 KeV、ドーズ量 $8 \times 10^{11}$ /cm<sup>2</sup>の条件下でイオン注入し、P-MOSFETにおけるp<sup>+</sup>型の浅いソース領域47およびドレイン領域48を形成する(同図(F)図示)。

(VII) 次に、全面にCVD SiO<sub>2</sub>膜49'およびBPSG膜(硼素、燐、加SiO<sub>2</sub>、ガラス膜)49'を順次堆積し、これらの積層体からなる層間絶縁膜49'を形成する(同図(G)図示)。

20

ターン46'。部分を除去した後、N-MOSFET上に堆積したレジストパターン46'、およびP-MOSFET上の層間絶縁膜49'をマスクとして硼素を加速電圧100 KeV、ドーズ量 $5 \times 10^{11}$ /cm<sup>2</sup>の条件下でイオン注入し、コンタクトホール下にp<sup>+</sup>型の深いコンタクト領域50'、51'を形成する(同図(H)図示)。

このとき、p<sup>+</sup>型のコンタクト領域50'、51'はコンタクトホールに対して自己整合で、かつサフアリア基板41に到達して形成される。

(VIII) 次に、N-MOSFET上のレジストパターン46'を除去する。この状態で既にコンタクトホールが開孔されているから、続いてアルミニウムの蒸着およびパターンニングを行ない、N-MOSFETのソース電極52、P-MOSFETのソース電極53および両者共通のドレイン電極53を形成してSO<sub>2</sub>/C-MOSを得る(同図(I)図示)。

21

-324-

22

上記実施例によれば、N-MOSFETおよびP-MOSFETにおけるソースおよびドレイン領域をチャンネル領域近傍で浅く形成する一方、ソース電極およびドレイン電極の下方にはサブファイナ層に到達した拡散深度の深いコンタクト領域50、51、52、53を形成することにより、実効チャンネル長の減少を防止すると共に、配線抵抗を小さくして素子の高運動性を維持し、かつp<sup>+</sup>型の基板領域を介したリーク電流を防止し得るSOS/C-MOSを製造できることが明らかである。

そこで、次に上記実施例において、ゲート電極45、46を形成した後、A<sub>1</sub>電極52、53を形成するまでの工程（工程（Ⅲ）～工程（Ⅴ））でPEPが何回必要であるかを検討すると、下記の通り5回のPEPが必要である。即ち、

- (1) 工程（Ⅲ）においてN-MOSFETにおけるn<sup>+</sup>型の浅いソース領域47およびドレイン領域48を形成するに際し、砒素のイオン

23

注入したように、従来の製造方法においてはゲート電極形成後6回のPEPが必要とされていたから、上記実施例の方法によれば、従来の製造方法よりもPEPの回数を1回少なくすることができる。

また、上記実施例の方法では、N-MOSFETにおける拡散深度の深いn<sup>+</sup>型のコンタクト領域を形成する際に、砒素の高濃度イオン注入のマスクとしてレジストパターンを用いず、層間絶縁膜49を用いているから、従来法のようにマスクとして用いたレジストパターンが変性して通常の処理では除去できなくなるといった問題を回避することができる。加えて、層間絶縁膜としてCVD-SiO<sub>2</sub>膜49とBPSG膜49と、との積層膜を用いた上記実施例では、高濃度イオン注入に対するマスクとして充分な膜厚を低価形成の可能なBPSG膜で達成しているため、層間絶縁膜の形成時の高熱によりサブファイナ層から素子領域にアルミニウムがアウトディフュージョンする等の問題をも抑制す

25

# 特開57-102067 (7)

注入に対するマスクとしてレジストパターン46を形成するためのPEP。

- (2) 工程（Ⅳ）において、P-MOSFETにおけるp<sup>+</sup>型の浅いソース領域47およびドレイン領域を形成するに際し、ボロンのイオン注入に対するマスクとしてレジストパターン46を形成するためのPEP。
- (3) 工程（Ⅴ）において、選択エッチングによりN-MOSFET部分にコンタクトホールを開孔するに際し、エッチングのマスクとして用いるレジストパターンを形成するためのPEP。
- (4) 工程（Ⅵ）において、P-MOSFET部分にコンタクトホールを開孔するためのエッチングマスクであるレジストパターン46を形成するためのPEP。
- (5) 工程（Ⅶ）において、A<sub>2</sub>電極52、53をパターンニングするために選択エッチングのマスクとしてレジストパターンを形成するためのPEP。

24

ることができる。

更に上記実施例によれば、高濃度イオン注入時の基板温度の上昇によりレジストのマスクパターンが形崩れして素子の精度が低下するという従来法における問題も著しく改善される。即ち、砒素の高濃度イオン注入にはマスクとしてレジストパターンを使用しないからこの問題が生じる余地はなく、またボロンの高濃度イオン注入においても第6図(c)に示すようにP-MOSFET上のレジストパターン46を除去して行なうから、レジストパターン46の形崩れによる影響を最小限に抑えることができる。

なお、上記実施例では工程（Ⅵ）におけるボロンの高濃度イオン注入に際してP-MOSFET上のレジストパターン46を除去して行なうたが、これを除去せず第6図(c)に示す状態でイオン注入を行なった場合にも本実施例における主効果効果を得ることができる。

また、SOS/C-MOSではN-MOSFETおよびP-MOSFETのドレイン領域が

26



特開昭57-102067 (8)

完全なPN接合を形成していることが必要であるから、これを保護するために、上記実施例において、両トランジスタのドレイン側のコンタクト領域51、51'の一部が相互に重なるように、例えばガリウムの高濃度イオン注入を行なうのが望ましい。

以上詳述したように、本発明によれば、N-MOSFETおよびP-MOSFETのソース領域およびドレイン領域をチャンネル領域近傍では浅く、またチャンネル領域から離隔した部分では深く形成することにより実効チャンネル長の減少を防止すると共に素子の高速動作性を維持した相補型MOS半導体装置を製造するに値し、従来の製造方法よりもPEPの回数が1回少なく済み、かつ高濃度イオン注入によるレジストパターンの変性を防止し得、更にレジストパターンの形崩れによる製造の信頼性低下をも抑制し得る相補型MOS半導体装置の製造方法を提供できるものである。

27

パターン、47、47'…ソース領域、48、48'…ドレイン領域、49…層間絶縁膜、49、…CVD-SiO<sub>2</sub>膜、49、…BPSG膜、50、50'、51、51'…コンタクト領域、52、52'…ソース電極、53…ドレイン電極。

出願人代理人 弁護士 鈴木 武 彦

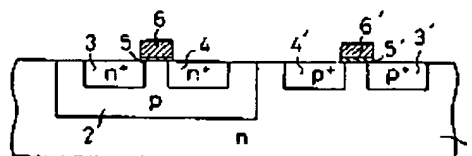
## 4. 図面の簡単な説明

第1図および第2図はn型シリコン基板にP型ウェルを形成した基体を用いたC-MOSの構造を示す図であり、第1図はソースおよびドレインを浅く形成したC-MOSの断面図、第2図はソース・ドレインを浅く形成したC-MOSの断面図、第3図および第4図はSOS/C-MOSの構造を示す図であり、第3図はソース・ドレインを浅く形成したSOS/C-MOSの断面図、第4図はソース・ドレインを浅く形成したSOS/C-MOSの断面図、第5図(a)~(c)はソース・ドレインをチャンネル領域近傍では浅く、チャンネル領域から離隔した部分では深く形成したSOS/C-MOSの従来の製造工程を示す断面図、第6図(A)~(I)は本発明をSOS/C-MOSの製造に適用した1例の実施例における製造工程を示す断面図である。

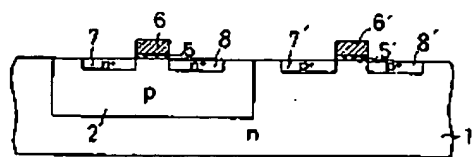
41…サファイア基板、42…フィールド酸化膜、43…素子領域、44…SiO<sub>2</sub>膜、45、45'…ゲート電極、46、46'…レジスト

28

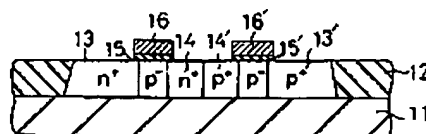
第1図



第2図



第3図



29

-326-



特開昭57-102067 (10)

